

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

05-129553

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H01L 27/108

H01L 21/66

(21)Application number : 03-285326

(71)Applicant : NEC KYUSHU LTD

(22)Date of filing : 31.10.1991

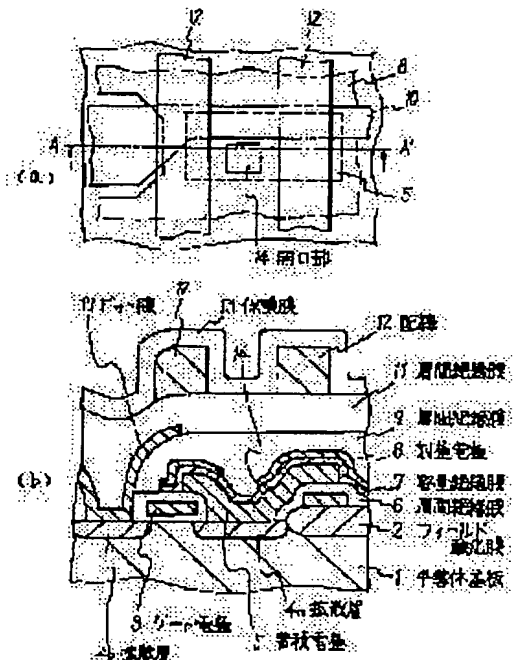
(72)Inventor : ARAMAKI EIJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To facilitate analysis of insufficient retaining of information by making it possible to measure the potential on the storage electrode of a memory element by means of an EB tester.

CONSTITUTION: A hole 14 is made through a part of an electrode 8 opposing to a storage electrode 5 and a bit line 10 is formed while detouring the upper part of the hole 14. Since potential on the storage electrode 5 can directly be tested by means of an EB tester, insufficient retaining of information can easily be analyzed in a memory element part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-129553

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

H 0 1 L 27/108
21/66

識別記号

庁内整理番号

Z 8406-4M
8728-4M

F I

H 0 1 L 27/ 10

技術表示箇所

3 2 5 Q

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-285326

(22)出願日

平成3年(1991)10月31日

(71)出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡町100番地

(72)発明者 荒牧 英治

熊本県熊本市八幡町100番地九州日本電気
株式会社内

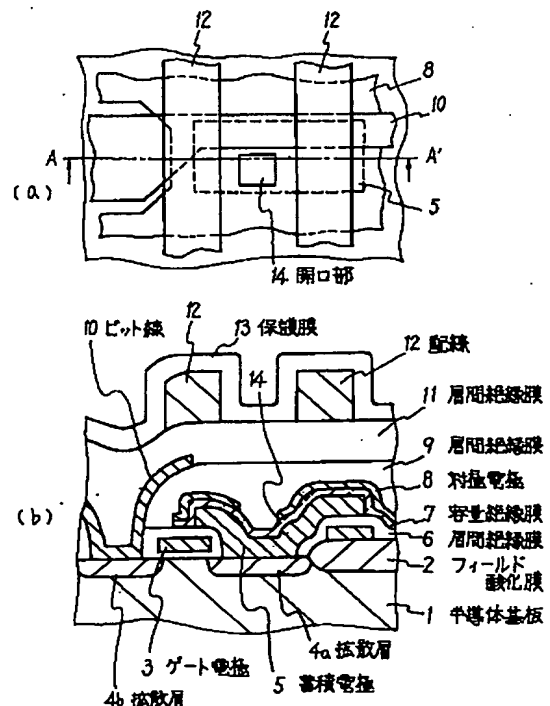
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】記憶素子の蓄積電極の電位を、EBテスターで測定できるようにし、情報保持不良の解析が容易にできるようにする。

【構成】蓄積電極5と対向させて設けた対極電極8の一部に開孔部14を形成し、且つビット線10を開孔部14の上部より回避するように迂回させて形成することにより、EBテスターで蓄積電極5の電位を直接調べることができ、記憶素子部の情報保持不良解析を容易にする。



1

【特許請求の範囲】

【請求項1】 MOSトランジスタとコンデンサとの組合せによる記憶セルを有する半導体装置において、前記トランジスタの第1の拡散層と接続する蓄積電極と、前記蓄積電極と容量絶縁膜を介して対向し且つ一部に前記蓄積電極の電位測定用の開孔部を設けた対極電極と、前記トランジスタの第2の拡散層と接続して前記開孔部上以外の領域に設けた電極配線とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に記憶セルを有する半導体装置に関する。

【0002】

【従来の技術】 従来の半導体装置は、図3(a)、

(b)に示すように、半導体基板1に設けたフィールド酸化膜21により区画した素子形成領域にゲート電極3及びゲート電極3に整合して設けた拡散層4a、4bを設け、層間絶縁膜6に設けたコンタクト孔の拡散層4aと接続して設けた蓄積電極5に容量絶縁膜7を介して対向させた対極電極8を設け、対極電極8を含む表面に設けた層間絶縁膜9の上に拡散層4bと接続するビット線10を設け、層間絶縁膜11を介して配線12を形成し、保護膜13を被覆する。

【0003】

【発明が解決しようとする課題】 上述した従来の半導体装置は、蓄積電極の上方が対極電極で完全に覆われているため、蓄積電極の電位は、EBテスターを使用しても調べる事ができなかった。従って、記憶素子部の情報保持不良解析を行う際には、外部から直接電位を設定できる電極の電位を変えたり、情報保持時間を変えたりして、蓄積電極の電位を推定しなければならないという問題点があった。

【0004】 本発明の目的は、蓄積電極の電位を、EBテスターを使用して直接調べられるようにし、記憶素子部の情報保持不良解析が行い易い半導体装置を提供することにある。

【0005】

【課題を解決するための手段】 本発明の半導体装置は、MOSトランジスタとコンデンサとの組合せによる記憶セルを有する半導体装置において、前記トランジスタの第1の拡散層と接続する蓄積電極と、前記蓄積電極と容量絶縁膜を介して対向し且つ一部に前記蓄積電極の電位測定用の開孔部を設けた対極電極と、前記トランジスタの第2の拡散層と接続して前記開孔部上以外の領域に設けた電極配線とを有する。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。

【0007】 図1(a)、(b)は本発明の第1の実施

2

例を示す半導体チップの模式的平面図及びA-A'線断面面図である。

【0008】 図1(a)、(b)に示すように、半導体基板1の一主面に選択的にフィールド酸化膜2を設けて素子形成領域を区画し、この素子形成領域上に設けたワード線を兼ねるゲート電極3に整合して拡散層4a、4bを形成し、ゲート電極3を含む表面に設けた層間絶縁膜6に形成したコンタクト孔を介して拡散層4aに接続する蓄積電極5を形成する。次に、蓄積電極5の表面に設けた容量絶縁膜7を介して蓄積電極5と対向させた対極電極8を形成し、対極電極8の一部に容量電極5の電位を測定するための開孔部14を形成する。次に、対極電極8を含む表面に層間絶縁膜9を堆積してコンタクト孔を設け、拡散層4bと接続するビット線10を形成する。ここで、ビット線10は開孔部14の上部を回避するように迂回させて設ける。次に、ビット線10を含む表面に層間絶縁膜11を堆積し、層間絶縁膜11の上に開孔部14の上部に重ならないように配線12を配置し、保護膜13を被覆する。このように、上部より開孔部14を介して蓄積電極5の電位をEBテストにより測定することができる。

【0009】 図2(a)、(b)は本発明の第2の実施例を示す半導体チップの模式的平面図及びB-B'線断面面図である。

【0010】 図2(a)、(b)に示すように、層間絶縁膜6の上に対極電極8を設けてコンタクト孔を設け、対極電極8の表面に設けた容量絶縁膜7を介して対極電極8と対向させた蓄積電極5を形成した以外は第1の実施例と同様の構成を有しており、EBテストによる蓄積電極5の電位が広い範囲で測定できる利点がある。

【0011】

【発明の効果】 以上説明したように本発明は、蓄積電極の上方を回避して電極層および配線層を設ける事により、蓄積電極の電位を、EBテスターを使用し、直接調べられるようにしたので、記憶素子部の情報保持不良解析が行い易くなるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す半導体チップの平面図及びA-A'線断面面図。

【図2】 本発明の第2の実施例を示す半導体チップの平面図及びB-B'線断面面図。

【図3】 従来の半導体装置の一例を示す平面図及びC-C'線断面面図。

【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜
- 3 ゲート電極
- 4a, 4b 拡散層
- 5 蓄積電極
- 6, 9, 11 層間絶縁膜

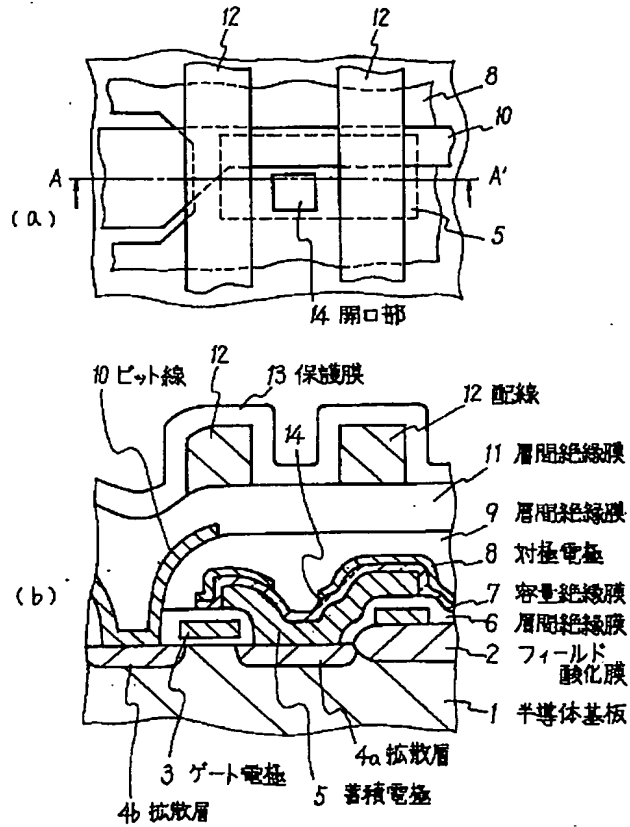
3

4

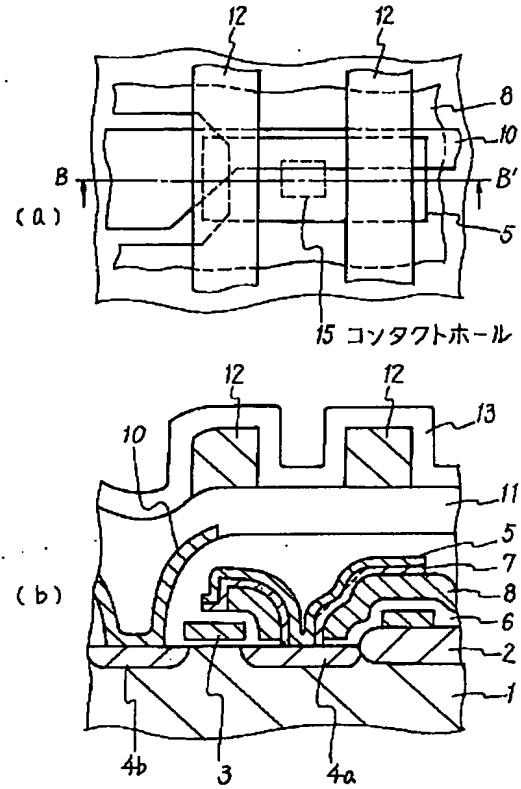
- 7 容量絶縁膜
8 対極電極
10 ビット線

- 12 配線
13 保護膜

【図1】



【図2】



【図 3】

